

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshiaki FUKUZUMI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-056871	March 4, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月 4日  
Date of Application:

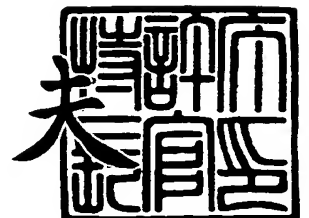
出願番号 特願2003-056871  
Application Number:  
[ST. 10/C]: [JP2003-056871]

出願人 株式会社東芝  
Applicant(s):

2003年10月15日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 13767501

【提出日】 平成15年 3月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置

【請求項の数】 14

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
                                横浜事業所内

    【氏名】 福 住 嘉 晃

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
                                横浜事業所内

    【氏名】 梶 山 健

【特許出願人】

    【識別番号】 000003078

    【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

    【氏名又は名称】 株式会社 東 芝

【代理人】

    【識別番号】 100075812

    【弁理士】

    【氏名又は名称】 吉 武 賢 次

【選任した代理人】

    【識別番号】 100088889

    【弁理士】

    【氏名又は名称】 橘 谷 英 俊

## 【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

## 【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

## 【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

## 【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

支持基板と、  
前記支持基板に形成された埋め込み絶縁層と、  
前記埋め込み絶縁層上の半導体層と、  
前記半導体層に形成された素子領域と、  
前記素子領域中に所定間隔で形成された、第 1 導電型のソース・ドレイン領域と、  
前記素子領域のうち前記ソース・ドレイン領域の隣り合う 2 つのものに挟まれ、  
チャンネル形成可能な、第 2 導電型ウェル領域と、  
前記ウェル領域上にゲート絶縁膜を介して形成されたゲートと、  
を具備し、  
前記ソース・ドレイン領域は、前記埋め込み絶縁層に達するものとして形成され、  
内部の高濃度領域部分と、これを囲繞して前記ウェル領域と直接接触する外周の低濃度領域部分とを有する、  
ことを特徴とする半導体装置。

【請求項 2】

前記ソース・ドレイン領域における前記高濃度領域部分は、前記低濃度領域部分よりも、  
元素番号の大きな元素を含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記高濃度領域部分における半導体はアモルファス化していることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記ウェル領域は、隣り合う 2 つの前記ソース・ドレイン間に電流が流れるときに発生する電荷を保持可能なものとして構成されたことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

**【請求項 5】**

支持基板と、  
前記支持基板に形成された埋め込み絶縁層と、  
前記埋め込み絶縁層上に、第 1 の方向に連続して形成された複数の素子ユニットからなる素子ユニット列であり、これらの素子ユニット同士の間は所定幅の分離溝で分離されている、素子ユニット列と、  
を備え、  
前記各素子ユニットは、  
前記第 1 の方向に相対向する一对の、第 1 導電型の、ソース・ドレイン領域と、  
これらの間に挟まれ、チャネル形成可能な、第 2 導電型のウェル領域と、  
前記ウェル領域上にゲート絶縁膜を介して形成されたゲートと、  
2 つの前記素子ユニットにおける前記ソース・ドレイン領域を隔てる前記分離溝の幅は、前記素子ユニットにおける前記第 1 の方向と垂直な第 2 の方向に沿った幅よりも狭いものとして設定されている、  
ことを特徴とする半導体装置。

**【請求項 6】**

前記分離溝に、絶縁膜が埋め込まれていることを特徴とする、請求項 5 に記載の半導体装置。

**【請求項 7】**

前記分離溝の一部に、導電膜が埋め込まれていることを特徴とする、請求項 5 又は 6 に記載の半導体装置。

**【請求項 8】**

前記素子ユニットの、前記第 2 の方向に沿った幅が、 $0.1\ \mu\text{m}$  以下であることを特徴とする、請求項 5 乃至 7 の 1 つに記載の半導体装置。

**【請求項 9】**

前記分離溝における絶縁膜中に空洞が存在することを特徴とする、請求項 5 乃至 8 の 1 つに記載の半導体装置。

**【請求項 10】**

前記第 1 の方向に走り、互いにほぼ平行な前記素子ユニット列の複数を備え、前記複数の素子ユニット列間には同じく前記第 1 の方向に走る素子分離領域が形成されており、複数の前記素子ユニット列における前記分離溝同士が、複数の前記素子分離領域に形成された溝によって連通していることを特徴とする、請求項 5 乃至 9 のいずれかに記載の半導体装置。

【請求項 11】

前記素子ユニット列における前記第 1 の方向に隣り合う 2 つのソース・ドレイン領域同士は、電氣的に短絡されていることを特徴とする、請求項 5 乃至 9 の 1 つに記載の半導体装置。

【請求項 12】

前記各素子ユニットにおける前記ウェル領域は、前記第 1 の方向に相対向する前記ソース・ドレイン間に電極が流れるときに発生する電荷を保持可能なものとして構成されたことを特徴とする請求項 5 乃至 11 のいずれかに記載の半導体装置。

【請求項 13】

前記 2 つのソース・ドレイン領域同士は、コンタクトプラグによって電氣的に短絡されていることを特徴とする、請求項 11 の半導体装置。

【請求項 14】

前記素子ユニットにおける前記ゲートと、前記コンタクトプラグと、の界面に、絶縁膜が形成されていることを特徴とする請求項 13 の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、半導体装置に係り、特に、フローティングボディセル（以下、FBC と称する）による電荷蓄積領域を有する半導体メモリに適用して好適な半導体装置に関する。

【0002】

【従来技術】

半導体メモリの分野においては、1T-1C（1 トランジスタ/1 キャパシタ

）型DRAMが用いられてきた。セルサイズの縮小に限界が見えつつある現在、新たな構造の半導体メモリが模索されている。トランジスタ自体の下部にデータ蓄積機能をもたせた半導体装置もその一例である。

#### 【0003】

かかる半導体装置として、FBCメモリが知られている。このFBCは、ISSCC2002 (International Solid-State Circuit Conference 2002: 2002年2月3日から7日にわたりサンフランシスコで開催) における講演で紹介された。その詳細は、講演番号9.1の「FBC Cell」によって明らかにされており、ひとつの具体例として、0.175  $\mu$ mルールで試作したFBCセルが報告されている。

#### 【0004】

このFBCメモリは、SOI (シリコンオンインシュレータ) 上に形成されたMOSトランジスタからなるもので、電荷蓄積用のキャパシタを別に有するものでなく、トランジスタの下に電荷を蓄える電荷蓄積領域を設けたものである。

#### 【0005】

このような構造の半導体装置は、キャパシタを別のものとして必要ないため、微細化、高集積化、高速化が容易である。

#### 【0006】

なお、一般に、半導体メモリに対しては、高速化が進むロジックLSIと同一のチップ内への混載の要求も高まっており、工程を簡略化するために、ロジックLSIと製造プロセスの整合性の高いものが望まれている。

#### 【0007】

図22～図25は、本発明者のアイデアに係る半導体装置として例示するFBCメモリであり、図22は平面図、図23はそのB-B線に沿った断面図及びC-C線に沿った断面図、図24はそのD-D線に沿った断面図及びE-E線に沿った断面図である。図25は、図22に対応する平面図で、特に、帯状の素子分離膜8, 8, ……とそれに挟まれたシリコン層4, 4, ……と、そこに形成されたソース・ドレイン層としての拡散層6S、6Dの位置関係を示すものである。

#### 【0008】



この半導体装置は、特に図 23 (B) に示されるように、SOI 基板 100 上に形成されたものである。この SOI 基板 100 は、支持基板 (P 型半導体基板) 1、n 型拡散層 2、埋め込み酸化膜 ( $\text{SiO}_2$  膜) 3、P 型シリコン層 4 の積層構造体である。

#### 【0009】

この最上層としてのシリコン層 4 には、特に図 24 (D), (E)、図 25 からわかるように、素子分離膜 8, 8, ……が形成されている。これらの素子分離膜 8, 8, ……は、特に図 25 からわかるように、帯状であり、同図において左右に走るもので、後述のビット線 BL との関係でいえば、ビット線 BL, BL, ……同士の間の方を図 23 (C) に示されるように図中左右に走る。図 25 からわかるように、前記シリコン層 4 のうち、これらの素子分離膜 8, 8, ……同士の間の部分が、いわゆる帯状の素子領域 4a, 4a, ……となる。これらの帯状の素子領域 4a, 4a, ……は、図 22 (A) において、ビット線 BL, BL, ……と上下に重っており、ビット線 BL, BL, ……の下方においてそれらと同じ向きに走る。このような帯状の各素子領域 4a には、特に図 23 (B)、図 25 からわかるように、所定間隔で N<sup>+</sup> 型の拡散層 6D, 6S, 6D ……が形成されている。これにより、例えば、ある 1 本の素子領域 4a (j) についてみると、これらの拡散層 6D, 6S, 6D ……で挟まれた部分が、チャネル形成用のシリコン領域 4b, 4b ……となる。さらに、これらの拡散層 6S, 6D は、ソースとなる拡散層 6S とドレインとなる拡散層 6D とが交互に並んだものである。図 23 (B) において、前記チャネル用のシリコン領域 4b を介して、ドレイン (6D) からソース (6S) に電流を流したときに発生するホットホールが、このシリコン領域 4b 中に蓄積される。これらのシリコン領域 4b の上方に、ゲート酸化膜 6 を介してゲート電極 7 が形成されている。このゲート電極 7, 7, ……は帯状をしており、図 22 (A) において、紙面に沿って上下方向に走っている。また、一方の拡散層 6S 上には、帯状のコンタクトプラグ 9S と帯状のメタル層 10S の積層構造のソース線 SL が形成されている。これらコンタクトプラグ 9S とメタル層 10S は図 22 (A) において紙面に沿って上下方向に走っている。また、他方の拡散層 6D には、図 22 (A) で横方向に走る各ビット線

B Lが、コンタクトとしての柱状のコンタクトプラグ9 D, 9 D, ……を介して、接続されている。なお、1 1は層間絶縁膜である。

#### 【0010】

上述のように、特に図25からわかるが、シリコン層4, 4, ……は素子分離膜8, 8, ……に挟まれて帯状で図中左右に連続しており、さらに図中左右に隣り合うセル同士はソース・ドレインとしてのN<sup>+</sup>拡散層6 S、6 Dにより分離されている。

#### 【0011】

しかし、メモリセルが高度に微細化し、例えば0.1  $\mu$ m世代においては、N<sup>+</sup>拡散層7のビット線方向の長さも0.1  $\mu$ m程度まで小さくなると、図23 (B) に示されるように、隣接セル間でのP-N<sup>+</sup>-Pのバイポーラ動作が無視できなくなり、最悪の場合、記憶されたデータ同士が干渉し合ってデータを破壊してしまう。

#### 【0012】

このような問題を解決するためには、ソースとドレインに相当するN<sup>+</sup>拡散層6 S、6 Dの不純物濃度を高くすればよいが、FBC構造の場合は、記憶保持部分であるフローティングボディと、ソースやドレインとの間の接合リーク電流が増えてしまい、データ保持性能が著しく低下してしまうという問題点が生じてしまう。

#### 【0013】

##### 【非特許文献1】

ISSCC 2002 / SESSION 9 / DRAM AND FERROELECTRIC MEMORIES / 9.1 Memory Design Using One Transistor Gain Cell on SOI / TAKASHI Ohsawa et al.

#### 【0014】

##### 【発明が解決しようとする課題】

以上述べたように、上記の半導体装置では、集積度を上げようとする素子間の分離が不十分になり、素子間分離の性能を上げるために、ソースやドレインを構成する拡散層の不純物濃度を上げようとする、今度は、接合リーク電流が増えてしまい、フローティングボディによる記憶能力の低下を招いてしまうという

問題点がある。

【0015】

本発明の目的は、上記のような問題点を解消しようとするもので、セル占有面積を縮小しながら、セル間のデータ干渉を排し、安定動作を可能とした半導体装置を提供することにある。

【0016】

【課題を解決するための手段】

上記目的を達成するために、本発明は、支持基板と、前記支持基板に形成された埋め込み絶縁層と、前記埋め込み絶縁層上の半導体層と、前記半導体層に形成された素子領域と、前記素子領域中に所定間隔で形成された、第1導電型のソース・ドレイン領域と、前記素子領域のうち前記ソース・ドレイン領域の隣り合う2つのものに挟まれ、チャネル形成可能な、第2導電型ウェル領域と、前記ウェル領域上にゲート絶縁膜を介して形成されたゲートと、を具備し、前記ソース・ドレイン領域は、前記埋め込み絶縁層に達するものとして形成され、内部の高濃度領域部分と、これを囲繞して前記ウェル領域と直接接触する外周の低濃度領域部分とを有する、ことを特徴とする半導体装置を提供するものである。

【0017】

上記目的を達成するために、さらに本発明は、支持基板と、この支持基板に形成された埋め込み絶縁層と、この埋め込み絶縁層上に、第1の方向に連続して形成された複数の素子ユニットからなる素子ユニット列であり、これらの素子ユニット同士の間は所定幅の分離溝で分離されている、素子ユニット列と、を備え、前記各素子ユニットは、前記第1の方向に相対向する一对の、第1導電型の、ソース・ドレイン領域と、これらの間に挟まれ、チャネル形成可能な、第2導電型のウェル領域と、このウェル領域上にゲート絶縁膜を介して形成されたゲートと、2つの前記素子ユニットにおける前記ソース・ドレイン領域を隔てる前記分離溝の幅は、前記素子ユニットにおける前記第1の方向と垂直な第2の方向に沿った幅よりも狭いものとして設定されている、ことを特徴とする半導体装置を提供するものである。

【0018】

**【発明の実施の形態】**

以下、図面を参照しながら本発明の実施の形態を説明する。

**【0019】**

実施形態 1.

図 1～図 3 は本発明の実施形態 1 の半導体装置として例示する F B C メモリであり、図 1 は平面図、図 2 の (B) はその B-B 線に沿った断面図及び C-C 線に沿った断面図、図 3 (D) はその D-D 線に沿った断面図及び (E) はその E-E 線に沿った断面図である。図 1 の実施形態は、図 2 2～図 2 5 の例と、F B C メモリの基本構造においては類似しており、同等の構成要素には図 9 と同一の符号を付して詳しい説明は省略する。これは、以下の他の実施形態においても同様である。

**【0020】**

本実施形態 1 の特徴の 1 つは例えば図 2 (B), (C) に示される。すなわち、図 2 (B) において、ソース・ドレインとしての拡散層 1 6 D, 1 6 S は、外側の中濃度ドーパのエクステンション領域 1 6 a 及び拡散領域 1 6 b、と内側の高濃度ドーパの高濃度領域 1 6 c から成る 2 重構造のものとして構成されている。さらに、ゲート電極 7 の両側には、薄い酸化膜 2 1 を介して、窒化膜からなるゲート電極側壁 2 2 が形成されている。このゲート電極側壁 2 2 を介して前記コンタクトプラグ 9 D, 9 S が形成されている。これは図 2 (C) においても同様である。

**【0021】**

以上述べたような構成によれば、高濃度領域 1 6 c の中で少数キャリアであるホールの寿命が著しく短くなるため、隣接するフローティングボディと N<sup>+</sup> 拡散層とフローティングボディとの間でバイポーラ動作が起こり難くなる。また、セル間でのデータの干渉の問題も解消できるようになる。

**【0022】**

上記のような構成の半導体装置の製造方法について、図 4～図 5 に基づき、順を追って説明する。ちなみに、図 4, 図 5 は、図 2 (B) に対応する断面図である。

## 【0023】

図4 (A) において、SOI基板100は今まで説明した図23 (B) のものと同様である。このうち、各シリコン層4は、特に、図25からわかるように、一对の素子分離膜8、8に挟まれており、図中左右に走る帯状のものである。この図4 (A) において、ゲート電極7の幅は、例えば、 $0.1\mu\text{m}$ とする。このゲート電極10に対して自己整合的に、N型不純物、例えばP (リン) を10KEV、 $1\text{E}13\text{ (Cm}^{-2}\text{)}$ で注入し、先ずエクステンション領域16aを形成する。

## 【0024】

続いて、図4 (B) に示すように、ゲート電極7、7の間に薄い酸化膜21を介して窒化膜を堆積し、この後に、RIE (反応性イオンエッチング) 法を用いてエッチバックすることにより、ゲート電極7にゲート電極側壁22を形成する。この側壁22の厚さは20nm程度とする。

## 【0025】

更に、このようなゲート電極7に対して自己整合的に、N型不純物、例えばP (リン) を10KEV、 $3\text{E}13\text{ (cm}^{-2}\text{)}$ で注入し、更に、例えばP (リン) を60KEV、 $3\text{E}13\text{ (cm}^{-2}\text{)}$ で注入して、埋め込み酸化膜3に到達する拡散領域16bを形成する。

## 【0026】

次に、図5 (C) からわかるように、TEOS (テトラエトキシシラン) 膜を、CVD法により堆積し、RIE法によりエッチバックすることで、TEOS側壁23を形成する。TEOS側壁23の厚さは、例えば20nm程度とする。このようにしたゲート電極10に対して、自己整合的に、N型不純物、例えばAs (砒素) を180KEV、 $5\text{E}15\text{ (cm}^{-2}\text{)}$ で注入し、高濃度領域16cとする。

## 【0027】

引き続き、図5 (D) に示すように、TEOS膜を、CVD法により堆積し、上部を平坦化した後に、リソグラフィ法とエッチング法を用いて開口部を形成し、リン添加ポリシリコンを埋め込むことで、最終的にコンタクトプラグ9S、

9 Dを形成する。コンタクトプラグ 9 S上にはメタル線 1 0 Sが形成されて、2層型のソース線 S Lとされる。また、図 2 (B) に示されるようにコンタクトプラグ 9 Dにはビット線 B Lが接続される。

#### 【 0 0 2 8 】

先にも述べたように、高濃度領域 1 6 cの中では、ホールの寿命は著しく短くなり、隣接するフローティングボディ（シリコン領域 4 b）と N<sup>+</sup>拡散層（拡散層 1 6 S）とフローティングボディ（シリコン領域 4 b）間におけるバイポーラ動作を抑止し、セル間のデータの干渉を低減できる。

#### 【 0 0 2 9 】

また、高濃度領域 1 6 cと電荷を蓄積する P型フローティングボディ（シリコン領域 4 b）の間は、中濃度の不純物の領域（1 6 a, 1 6 b）で隔てられており、接合リークの抑制が可能となる。このため、メモリとしての安定動作を実現することができる。

#### 【 0 0 3 0 】

また、本実施形態では、外側の領域としてのエクステンション領域 1 6 a、拡散領域 1 6 bの不純物としては、P（リン）を、高濃度領域 1 6 cの不純物としては A s（砒素）を用いている。Pに比較して、A s原子は質量が大きく、横方向への拡散速度が遅い。このため、これらの領域 1 6 a, 1 6 bに囲まれた高濃度領域 1 6 cを形成するに際し、制御性良く行うことができる。また、質量の大きな A sは、Pに比べてシリコン中に、より多くの欠陥を生じ易く、少数キャリアの寿命をより短くすることが可能で、バイポーラ動作を抑制する効果が大きくなり、動作のよりいっそうの安定に寄与する。なお、このような目的を達成するためには、高濃度領域 1 6 cの不純物として、A sの代わりに、例えば S b（アンチモン）を使用することで、より一層の効果を得ることも可能である。加えて、外側の領域 1 6 a, 1 6 bに A sを、高濃度領域 1 6 cには S bを用いるという組み合わせでも、同様の効果が得られる。

#### 【 0 0 3 1 】

更に、ポリシリコンで構成されるコンタクトプラグ 9 S, 9 Dによりソース・ドレイン領域 1 6 S, 1 6 Dへのコンタクトを取る場合には、高濃度領域 1 6 c

によりコンタクト抵抗を低減できる効果があり、半導体の高速動作が可能となる。

#### 【0032】

また、高濃度領域 16c の不純物として、As や Sb ではなく、Ge 等 Si より重い IV 族元素を用いても良い。この場合にも、Si 基板中にアモルファス化した領域が形成され、少数キャリアの寿命をより短くすることが可能で、接合リークを抑えつつ、バイポーラ動作を抑制する効果がある。

#### 【0033】

実施形態 2.

図 6～図 8 は本発明の実施形態 2 の半導体装置として例示する FBC メモリの平面図であり、図 6 (A) は平面図、(B) はその B-B 線に沿った断面図、図 7 (C) はその C-C 線の間のラインに沿った断面図、(D) はその D-D 線に沿った断面図、図 8 (E) はその E-E 線に沿った断面図、(F) は一部を取り除いた平面図である。

#### 【0034】

特に、図 6 (B) において示すように、本実施形態 2 の半導体装置では、同図において左右に隣り合う 2 つのセルの素子領域同士は、ソース・ドレイン領域としての拡散層 16S, 16D に形成された干渉分離溝 17 により分離される。これにより左右に並ぶフローティングボディ (p 型のシリコン領域 4b) と N<sup>+</sup> 拡散層 16S とフローティングボディ (p 型のシリコン領域 4b) との間でバイポーラ動作は起こり難くなる。このため、セル間でのデータの干渉の問題が解消できる。

#### 【0035】

上記のような構成の半導体装置の製造方法について、図 9～図 11 と順を追って説明する。ちなみに、これらの図は、図 6 (B) に対応する工程断面図である。

#### 【0036】

図 9 (A), (B) に示される工程は、図 2 (A), (B) のそれと同一である。

## 【0037】

続く図10 (C) からわかるように、これによりTEOS膜を、CVD法により堆積し、RIE法によりエッチバックする。これによりTEOS側壁23を形成する。TEOS側壁23の厚さは、例えば20nm程度とする。更に、これらに対して自己整合的に、選択RIE法を用いて、エクステンション領域16a、拡散領域16bを選択的にエッチングし、干渉分離溝17を開口する。

## 【0038】

引き続き、図11 (D) に示すように、この干渉分離溝17中及びその上方の溝部分に、TEOS膜16eをCVD法により堆積する。このTEOS膜16eの上部をゲート電極7と同じ高さに平坦化する。この後に、リソグラフィ法とエッチング法を用いて、ゲート電極側壁22、22に挟まれ、底部がエクステンション領域16aの上面よりも下がったレベルの開口部25を形成する。これらの開口部25に、リン添加ポリシリコンを埋め込むことで、コンタクトプラグ9S'、9D'を形成する。

## 【0039】

一般にデータを蓄積するフローティングボディ部分では、素子分離領域（ソース・ドレイン領域）と素子分離領域（ソース・ドレイン領域）の界面準位を低減するために、これらの素子分離領域の形成工程中に、高温の熱処理工程を入れることが望ましい。これとは逆に、ゲート電極に対して自己整合的に素子分離領域（ソース・ドレイン領域）を形成した場合、ゲート電極近傍の不純物分布に著しい変動を及ぼすのを避けるため、高温の熱処理を施すことは望ましくない。

## 【0040】

これに対して、本実施形態2によれば、フローティングボディ領域（シリコン領域4b）は、図6 (A) において、ゲート電極7の形成以前に形成された素子分離膜8、8（図7 (D), (E), 図8 (F) 参照）、ソース・ドレイン領域としての拡散層16S、16Dによって左右に挟まれている。干渉分離溝17は、フローティングボディ領域（シリコン層4b）と直接接触することなく、それから分離されているので、界面準位を増やすことがない。これにより、データの干渉の問題を回避しつつ、安定動作する半導体装置を実現することができる。



## 【0041】

また、本実施形態2では、例えば、リソグラフィーの最小加工寸法が $0.1\mu\text{m}$ 程度であり、ゲート電極10の幅及び素子領域の幅はおよそ $0.1\mu\text{m}$ 程度である。このとき、干渉分離溝16の幅は、 $20\text{nm}$ 程度となり、最小加工の2分の1以下と非常に微細なスリット状となる。これにより、1セル当たりの占有面積を増やすことなく、安定動作する半導体装置を実現することができる。

## 【0042】

なお、干渉分離溝17の幅は小さいものの、TEOS膜を挟んで隣り合う拡散層16b、16bはコンタクトプラグの9D'、9S'で電氣的につながるため常に同電位となり、このため、耐圧等の問題が生じることもない。従って、干渉分離溝17の内部に埋め込む絶縁膜は、先に例示したTEOS膜の他、シリコン酸化膜やシリコン窒化膜など、他の絶縁膜でも適用可能である。

## 【0043】

また、図6(B)からわかるように、本実施形態2では、干渉分離溝17には、一旦TEOS膜が埋め込まれ、後にコンタクトプラグ15の形成に際していわゆるオーバーエッチングされ、TEOS膜16eの上面は、エクステンション領域16aの厚さ分ぐらい下った状態までわずかに除去される。これにより、コンタクトプラグ9S'、9D'のSOIに対する接触面が、コンタクトプラグ9S'、9D'の下面だけから側面にも広がっている。これにより、コンタクト抵抗の低減を実現することができ、半導体装置としての高速動作に寄与することができる。

## 【0044】

また、プラグ9D'、9S'と素子領域（拡散層16a、16b）の間に、ごく薄い絶縁膜を介在させることもできる。これにより、製造工程中において、プラグの材料が素子領域に拡散するのを防止することができる。これにより接合リークの劣化を抑制することが可能となり、データ保持特性の優れた半導体装置を実現することができる。

## 【0045】

図12は、本発明の実施形態2の一変形例の半導体装置の断面図である。図5

の構成が、図 6 (B) の構成と異なる点は、干渉分離溝 17 に埋め込まれた TE OS 膜 16 e の内部に空洞 19 を残存形成したことにある。

【0046】

図 12 のような構成によれば、各素子領域間の機械的なストレスが緩和され、より安定した動作を期待することができる。

【0047】

図 13 ~ 図 15 は、本発明の実施形態 2 のさらに別の変形例の半導体装置の断面図であり、図 13 (B) は図 13 (A) の B-B 線に沿った断面図、図 14 (C) はその C-C 線に沿った断面図、(D) は D-D 線に沿った断面図、図 15 (E) はその E-E 線に沿った断面図、(F) は一部を取り除いた平面図である。

【0048】

この例の半導体装置が図 6 ~ 図 8 の装置と異なる点は、図 14 (C) , 図 15 (E) 、(F) に示される。つまり、この例においては、図 6 ~ 図 8 の干渉分離溝 17 に対応して連続干渉分離溝 27 を形成している。つまり、図 6 ~ 図 8 の干渉分離溝 17 は、断面図のうちの図 6 (B) にのみしか表われないことからわかるように、ソース・ドレイン拡散層としての拡散層 16 S, 16 D にのみ形成されたものである。これに対し、図 13 ~ 図 15 の装置においては、特に図 14 (C) , 図 15 (F) からわかるように、連続干渉分離溝 27, 27 には図 15 (F) において上下方向に連続して伸びるものである。当然、素子分離膜 8, 8, ……もこれらの連続干渉分離膜 27, 27, ……によって切断された形となっている。これは例えば、図 10 (D) の工程において、シリコンの選択 RIE を用いずに、シリコン酸化膜を同時にエッチングすることで実現することができる。図 8 (F) からわかるように、拡散層 16 S, 16 D にのみ、シリコンの選択 RIE により、干渉分離溝 17 を形成しようとする、特に溝 17 の図 8 (F) における上下端部 17 a, 17 a にエッチング残りが存在する恐れがあり得る。しかし本例によればこのようなことはなく、連続干渉分離溝 27 を適正に形成して、それによる素子領域の分離をより確実に行うことが可能になる。

【0049】

図16～図18は、図6～図8に示される本発明の実施形態2のさらに異なる変形例の半導体装置として例示するFBCメモリの平面図であり、図16(A)は平面図、図17(B)は(A)のB-B線に沿った断面図、(C)は(B)のC-C線に沿った断面図、図18(D)は図16(A)のD-D線に沿った断面図、(E)はそのE-E線に沿った断面図である。

#### 【0050】

本変形例と、図6～図8に示される実施形態2との異なる点は、図7(C)－図8(E)と図17(C)－図18(E)との対比から明らかである。即ち、本変形例においては、素子分離領域を、埋込酸化膜3－ポリシリコン膜31－素子分離膜8の積層構造(3層構造)としている。このポリシリコン層31は、図16(A)において、図中左右に帯状に走るものである。

#### 【0051】

このような構造にすることにより、素子領域におけるフローティングボディ部分(素子領域4a)をポリシリコン膜31と容量カップリングさせることが可能であり、読み出し時の信号量を増加させることができる。

#### 【0052】

図19～図21は、上記図13～図15の変形例である。即ち、図14(B)は(A)のB-B線に沿った断面図、図20(C)はC-C線に沿った断面図、(D)はD-D線に沿った断面図、図21(E)はE-E線に沿った断面図であり、(F)は一部を取り除いた平面図である。そして、この例においては、図20(D)からわかるように、素子分離領域を、埋込酸化膜3－ポリシリコン膜31－素子分離膜8の積層構造としている。このような構造にすることにより、図16～図18のものと同様に、素子領域のフローティングボディ部分(4a)をポリシリコン膜31と容量カップリングさせることが可能であり、読み出し時の信号量を増加させることができる。

#### 【0053】

また、図21(F)からわかるように、この例においては、素子分離膜8, 8, ……を途中の切断溝8a, 8a, ……で切断したものとしている。

#### 【0054】

**【発明の効果】**

以上述べたように、本発明の半導体装置によれば、F B C構造のメモリを高度に微細化する場合にも、セル面積を小さく保ったまま、素子間の分離能力を向上させることができるので、隣接セル間における本来あってはならないバイポーラ動作を防止して、データ干渉による誤動作を防止することができる。

**【図面の簡単な説明】****【図 1】**

本発明の実施形態 1 の半導体装置の平面図。

**【図 2】**

図 1 の B - B 線に沿って得た断面図及び C - C 線に沿って得た断面図。

**【図 3】**

図 1 の D - D 線に沿って得た断面図及び E - E 線に沿って得た断面図。

**【図 4】**

実施形態 1 の半導体装置の製造方法の工程の断面図の一部。

**【図 5】**

実施形態 1 の半導体装置の製造方法の工程の断面図の一部。

**【図 6】**

本発明の実施形態 2 の半導体装置の平面図及びその B - B 線に沿って得た断面図。

**【図 7】**

図 6 の C - C 線に沿って得た断面図及び D - D 線に沿って得た断面図。

**【図 8】**

図 6 の E - E 線に沿って得た断面図及び素子分離膜、素子ユニットの位置関係を示す平面説明図。

**【図 9】**

実施形態 2 の半導体装置の製造方法の工程の断面図の一部。

**【図 1 0】**

実施形態 2 の半導体装置の製造方法の工程の断面図の一部。

**【図 1 1】**

実施形態 2 の半導体装置の製造方法の工程の断面図の一部。

【図 1 2】

本発明の実施形態 2 の変形例 1 としての半導体装置であり、ビット線に沿って得た断面図。

【図 1 3】

本発明の実施形態 2 の変形例 2 としての半導体装置の平面図及びその B - B 線に沿って得た断面図。

【図 1 4】

図 1 3 の C - C 線に沿って得た断面図及び D - D 線に沿って得た断面図。

【図 1 5】

図 1 3 の E - E 線に沿って得た断面図及び素子分離膜、素子ユニット、それらの間の溝の位置関係を示す平面説明図。

【図 1 6】

本発明の実施形態 2 の別の変形例の平面図。

【図 1 7】

図 1 6 の B - B 線に沿って得た断面図及び C - C 線に沿って得た断面図。

【図 1 8】

図 1 6 の D - D 線に沿って得た断面図及び E - E 線に沿って得た断面図。

【図 1 9】

実施形態 2 の変形例 2 のさらに別の変形例の平面図及びその B - B 線断面図。

【図 2 0】

図 1 9 の C - C 線に沿って得た断面図及び D - D 線に沿って得た断面図。

【図 2 1】

図 1 9 の E - E 線に沿って得た断面図及び素子分離膜、素子ユニット、それらの間の溝の位置関係を示す平面説明図。

【図 2 2】

従来の半導体装置の平面図。

【図 2 3】

図 2 1 の B - B 線に沿って得た断面図及び C - C 線に沿って得た断面図。

## 【図 2 4】

図 2 1 の D - D 線に沿って得た断面図及び E - E 線に沿って得た断面図。

## 【図 2 5】

図 2 2 ～図 2 4 の装置における素子分離膜、シリコン層、ソース・ドレイン領域の位置関係を示す平面説明図。

## 【符号の説明】

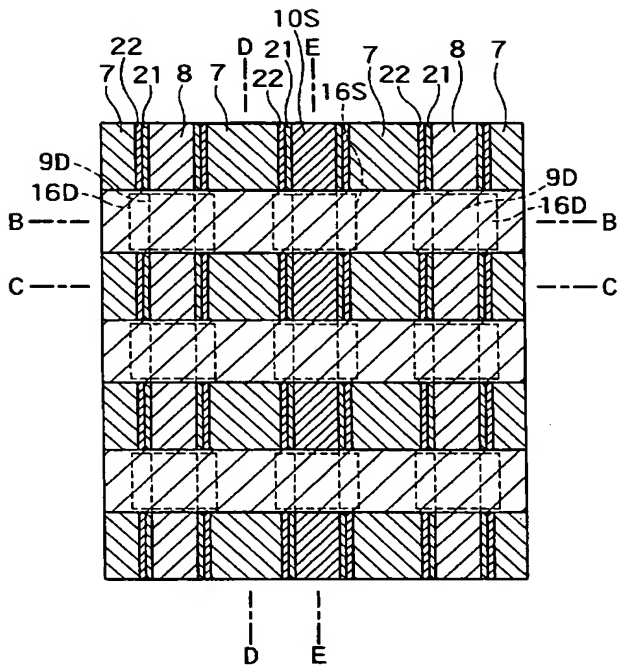
- 1 支持基板 (p)
- 2 n 型拡散層
- 3 埋込酸化膜 (S i O<sub>2</sub> 膜)
- 4 (p 型の) シリコン層
- 4 a 素子領域 (帯状)
- 4 b シリコン領域
- 6 ゲート酸化膜
- 6 D, 6 S, 1 6 D, 1 6 S (N 型の) 拡散層
- 7 ゲート電極
- 8 素子分離膜
- 9 D, 9 S コンタクトプラグ
- 1 0 S メタル層
- 1 1 層間絶縁膜
- 1 6 a エクステンション領域
- 1 6 b 拡散領域
- 1 6 c 高濃度領域
- 1 6 e T E O S 膜
- 1 7 干渉分離溝
- 1 9 空洞
- 2 1 酸化膜
- 2 2 ゲート電極側壁
- 2 3 T E O S 膜
- 2 5 開口部

2 7 連続干渉分離溝

1 0 0 S O I 基板

【書類名】 図面

【図 1】



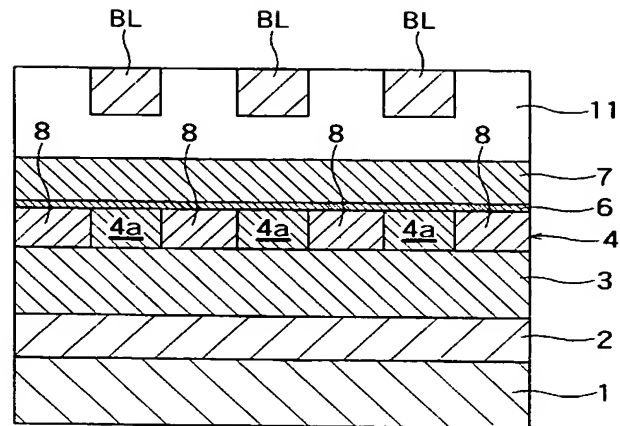
(A)

(実施形態1)

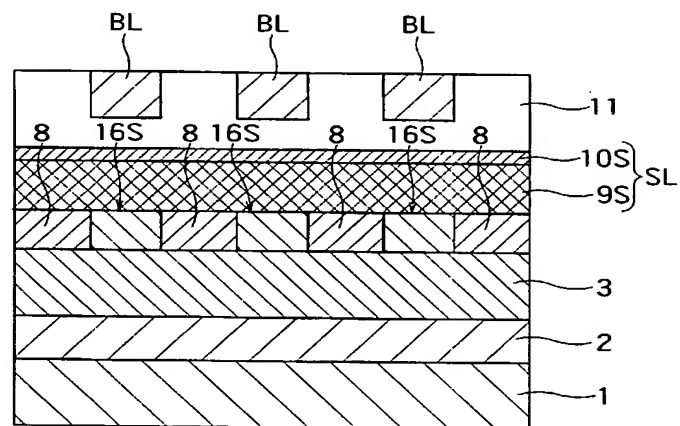




【図 3】



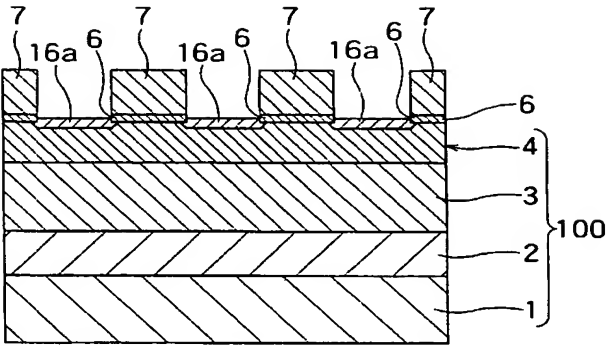
(D)



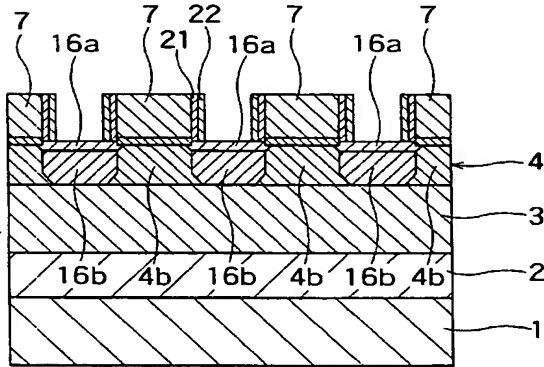
(E)

(実施形態1)

【図 4】



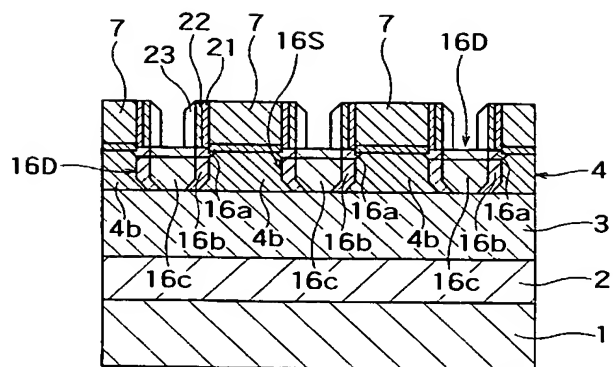
(A)



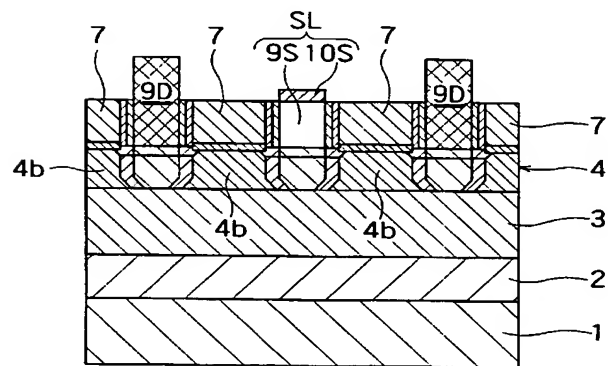
(B)

(実施形態 1)

【図 5】



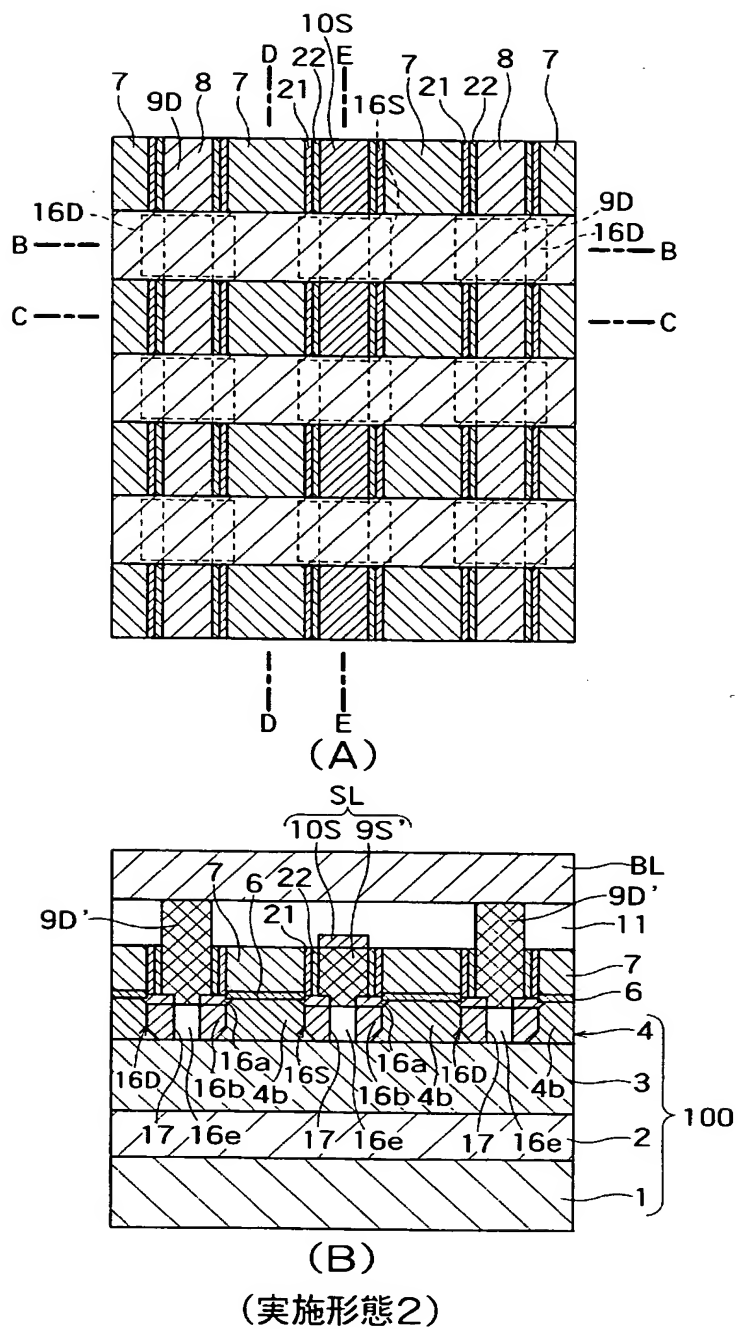
(C)



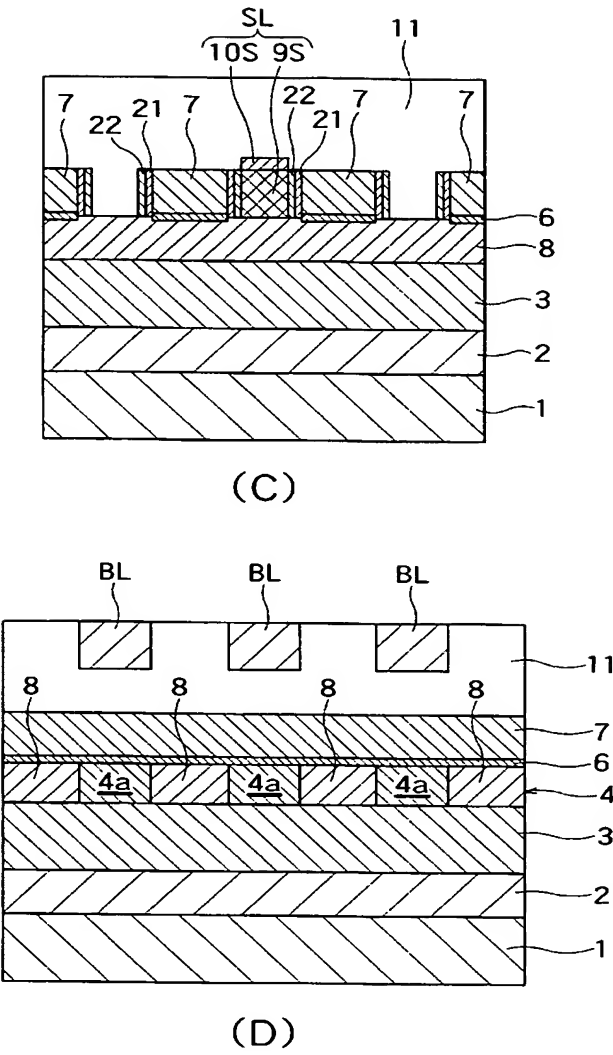
(D)

(実施形態 1)

【図 6】

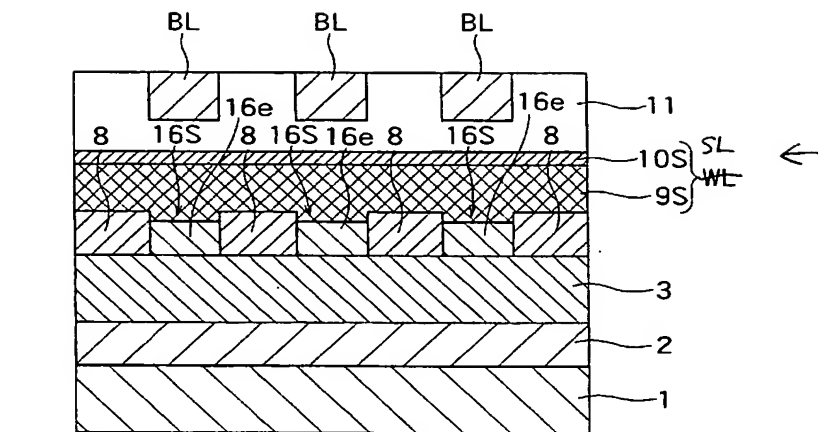


【図 7】

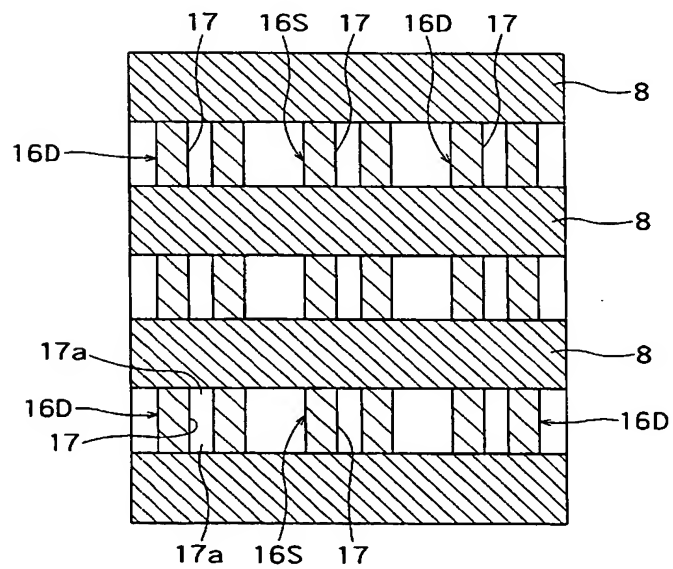


(実施形態2)

【図 8】



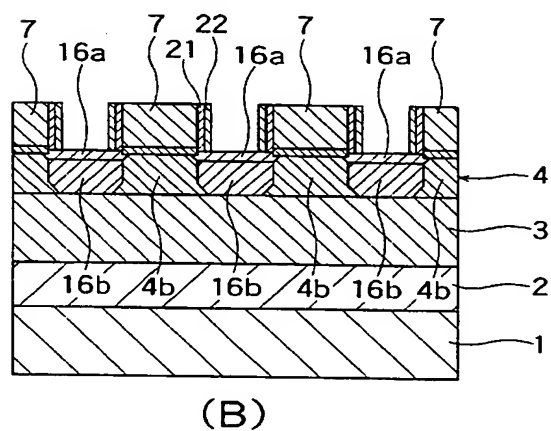
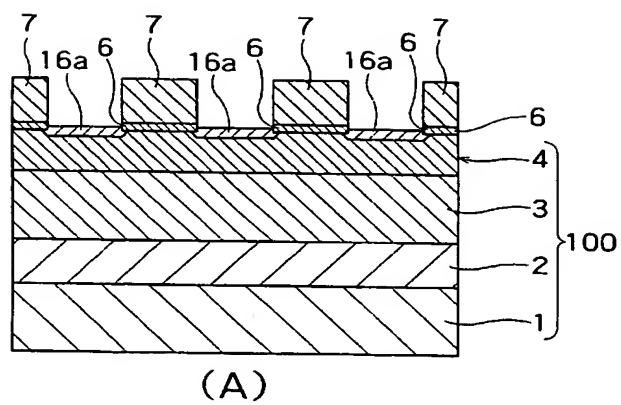
(E)



(F)

(実施形態2)

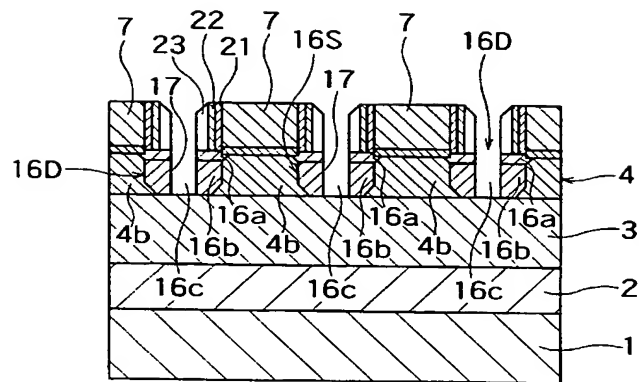
【図 9】



(実施形態2)



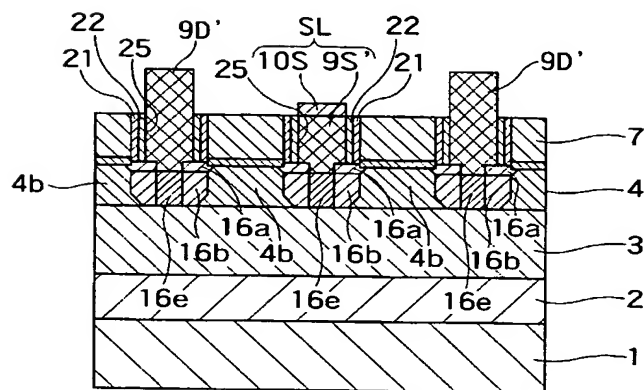
【図 10】



(C)

(実施形態2)

【図 11】

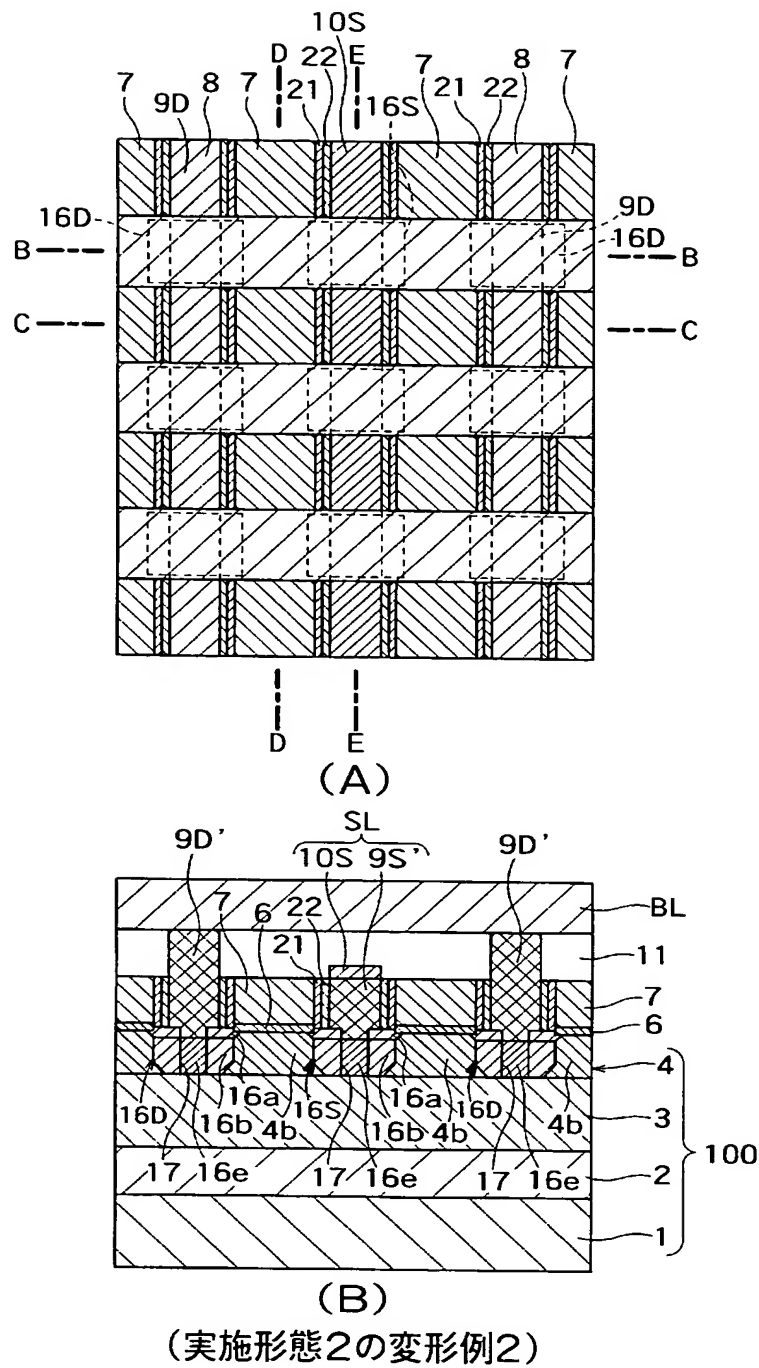


(D)

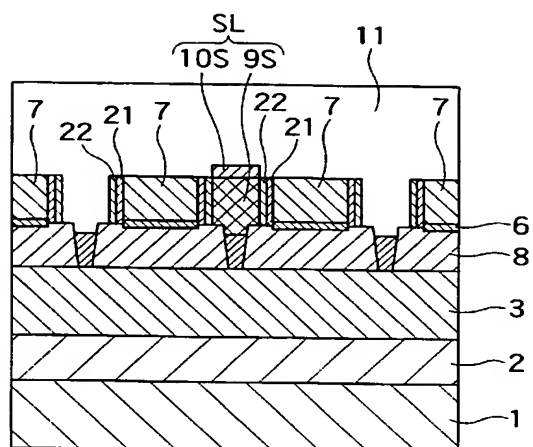
(実施形態2)



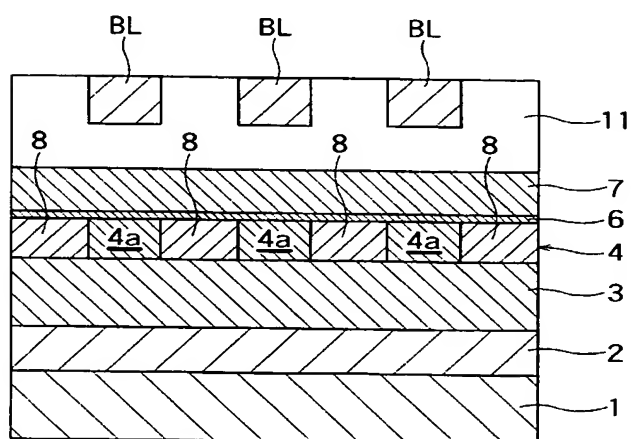
【図 13】



【図 14】



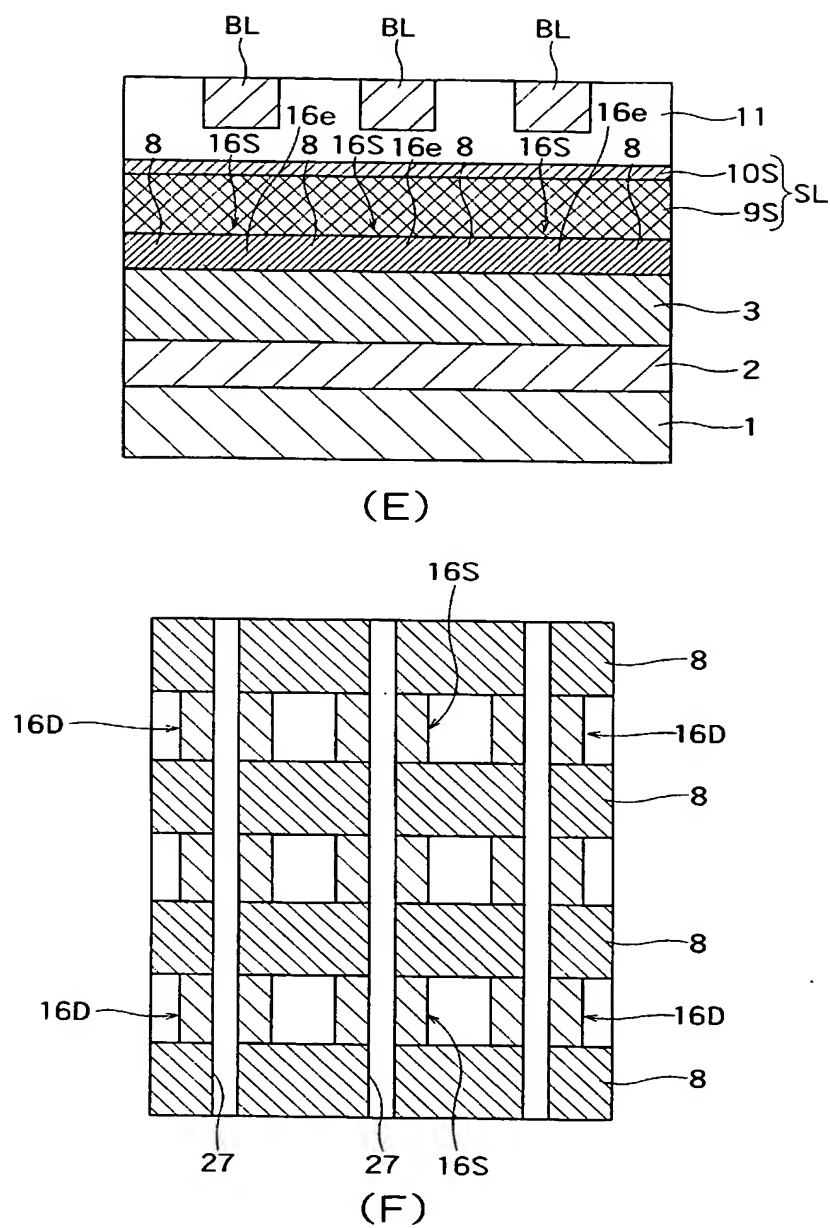
(C)



(D)

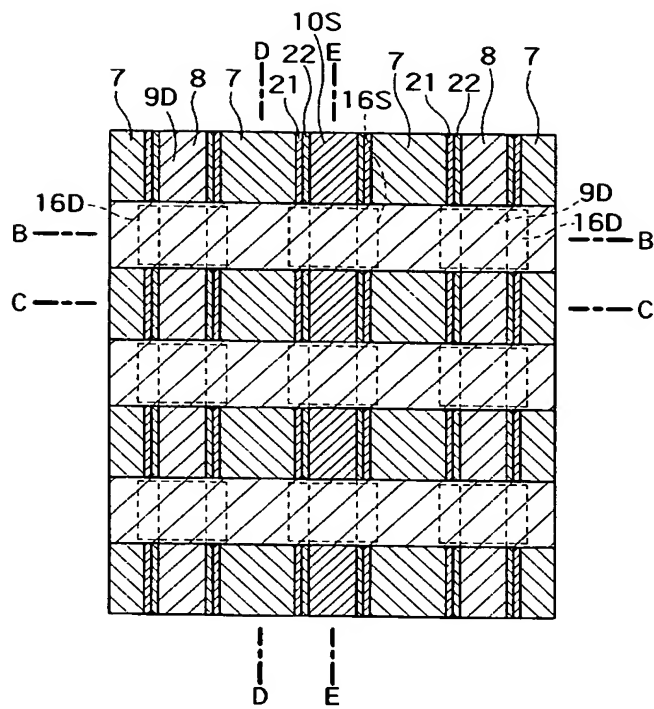
(実施形態2の変形例2)

【図 15】



(実施形態2の変形例2)

【図 16】

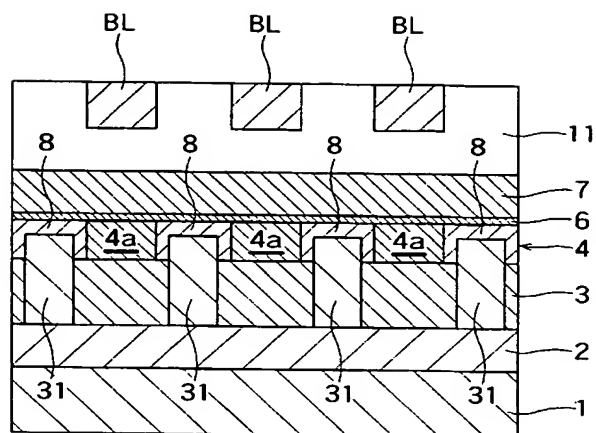


(A)

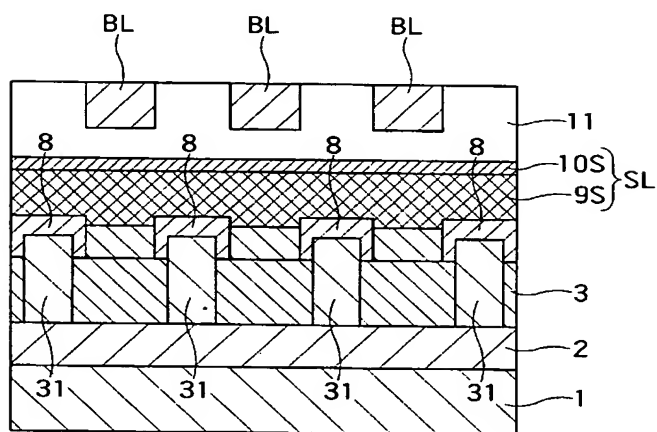
(実施形態2の別の変形例)



【図 18】



(D)

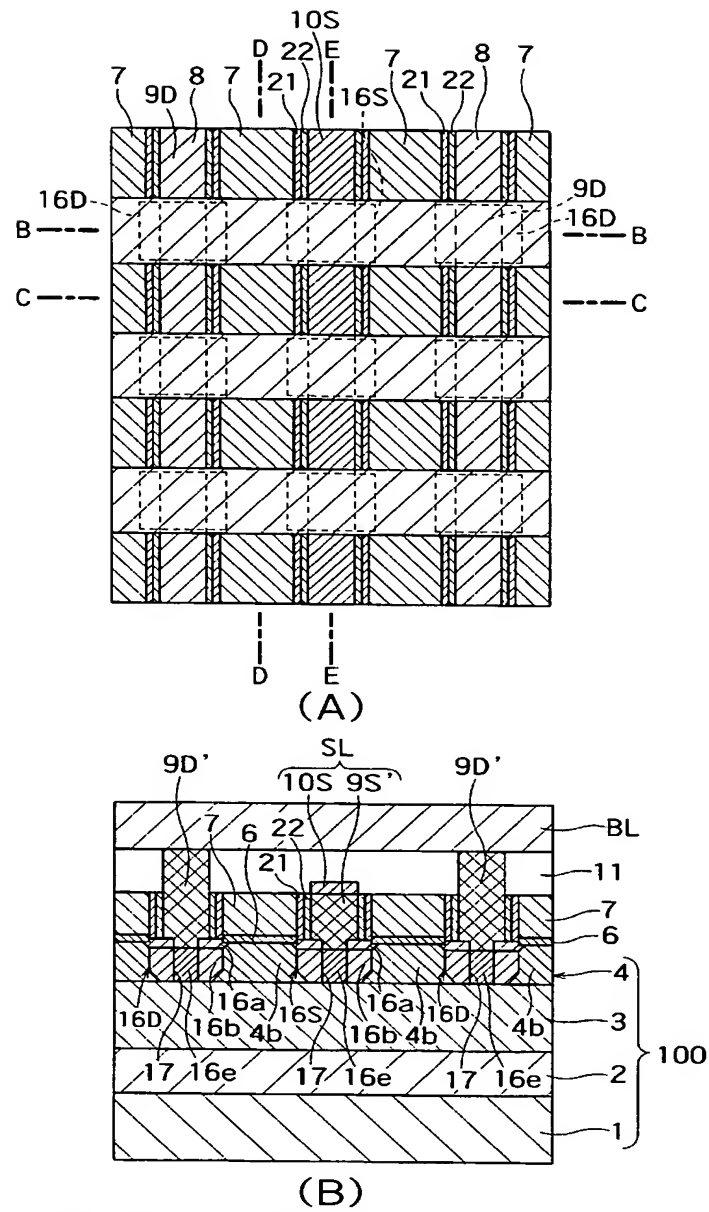


(E)

(実施形態2の別の变形例)

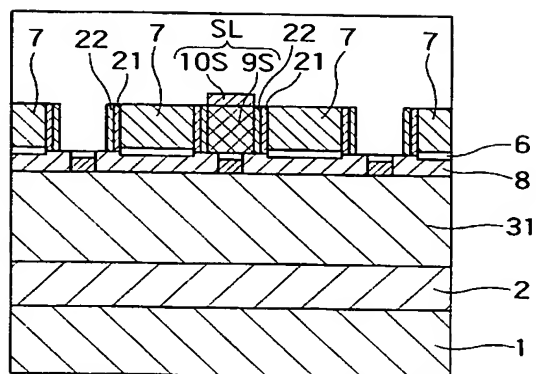


【図 19】

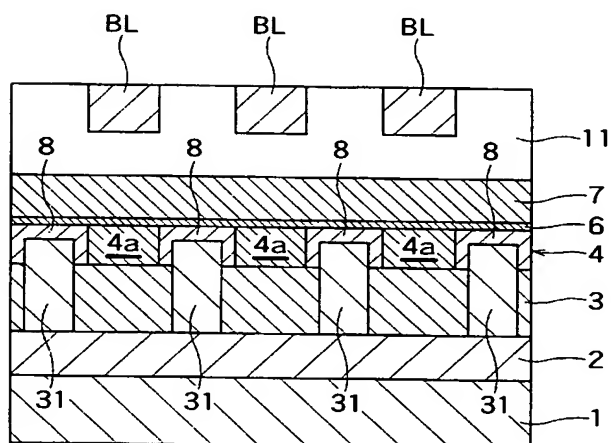


(実施形態2の変形例2のさらに別の变形例)

【図 20】



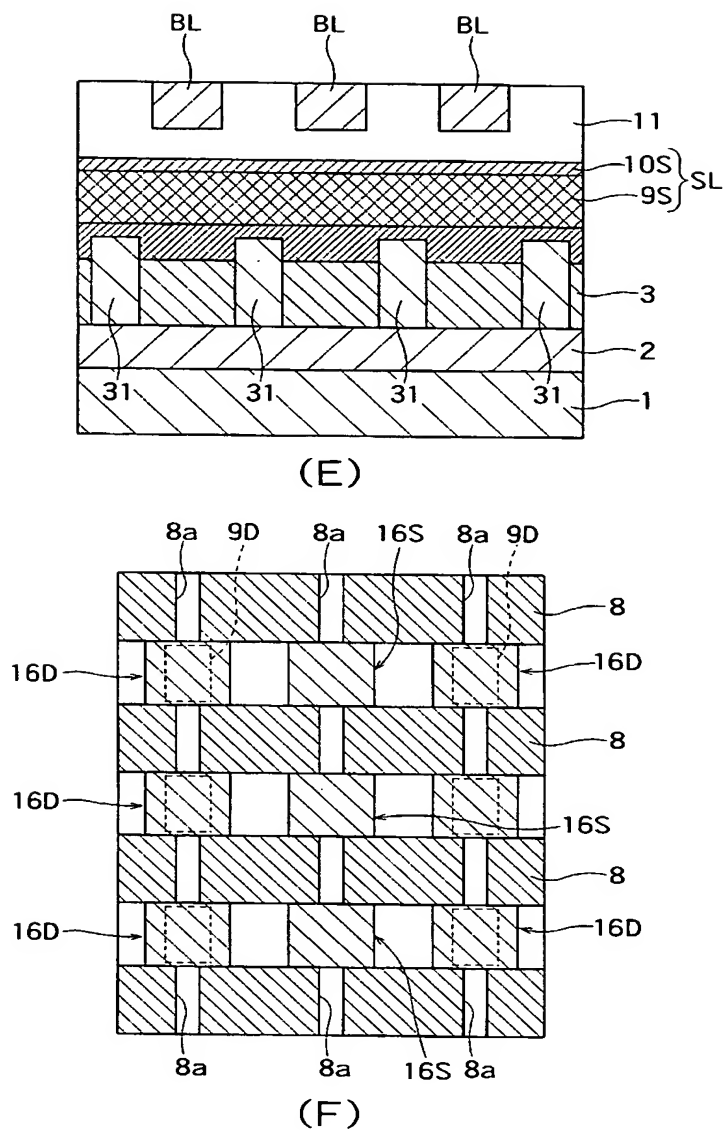
(C)



(D)

(実施形態2の変形例2のさらに別の変形例)

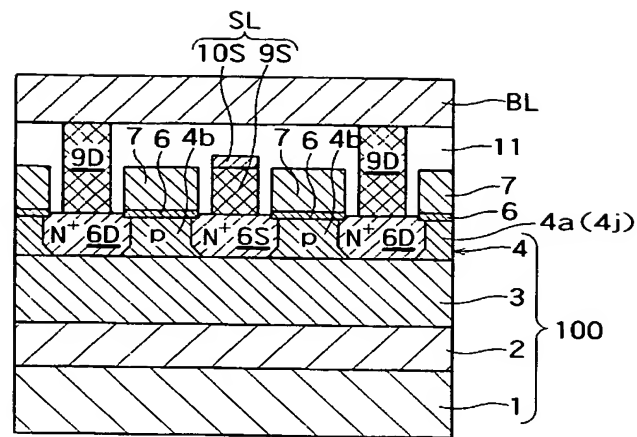
【図 21】



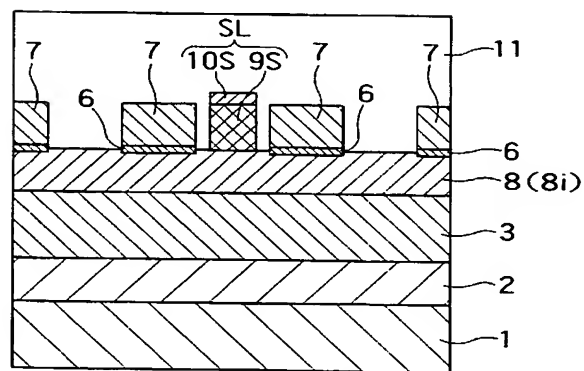
(実施形態2の変形例2のさらに別の変形例)



【図 23】



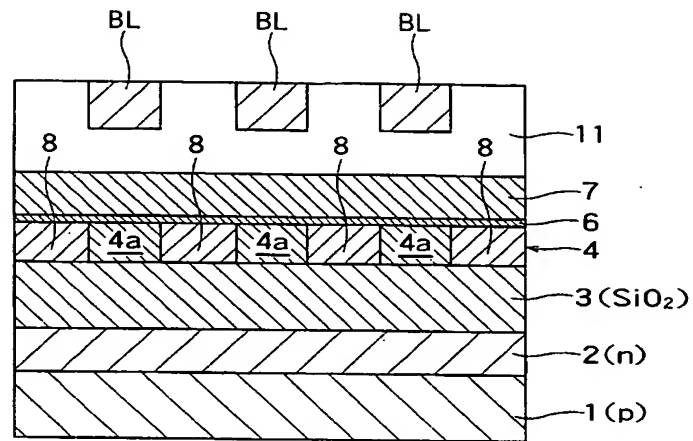
(B)



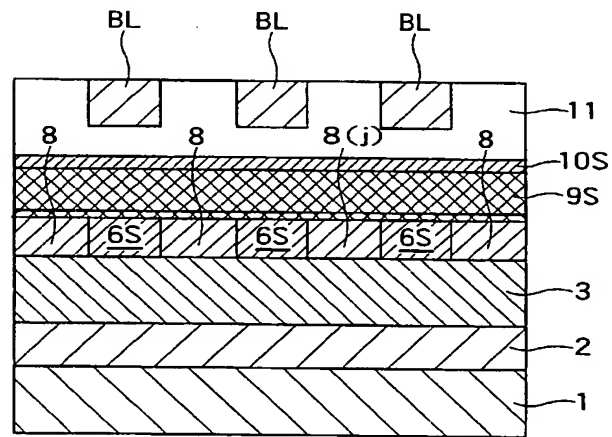
(C)

(従来例)

【図 24】



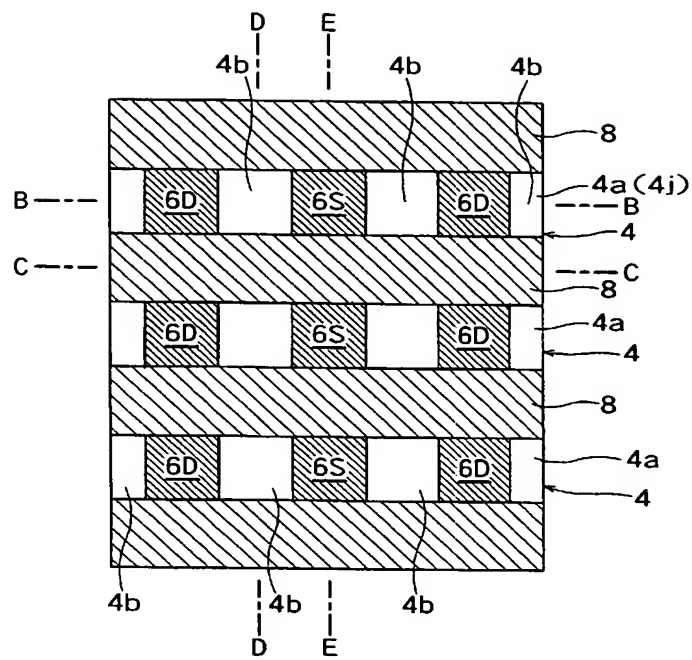
(D)



(E)

(従来例)

【図 25】



(F)

(従来例)

【書類名】 要約書

【要約】

【課題】 S O I 構造の半導体装置において、ソース・ドレイン領域内部に S O I の埋め込み酸化膜層に達するような高濃度不純物拡散層を配置する構造により、セル占有面積を縮小しながら、セル間のデータ干渉を排し、安定動作を確保する。

【解決手段】 支持基板と、前記支持基板に形成された埋め込み絶縁層と、前記埋め込み絶縁層上の半導体層と、前記半導体層に形成された素子領域と、前記素子領域中に所定間隔で形成された、第 1 導電型のソース・ドレイン領域と、前記素子領域のうち前記ソース・ドレイン領域の隣り合う 2 つのものに挟まれ、チャネル形成可能な、第 2 導電型ウェル領域と、前記ウェル領域上にゲート絶縁膜を介して形成されたゲートと、を具備し、前記ソース・ドレイン領域は、前記埋め込み絶縁層に達するものとして形成され、内部の高濃度領域部分と、これを囲繞して前記ウェル領域と直接接触する外周の低濃度領域部分とを有することを特徴とする半導体装置。

【選択図】 図 1



特願 2003-056871

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝